



Università di Verona
Dipartimento Scientifico e Tecnologico

Sistemi per la Progettazione Automatica: esame 05/04/00

Cognome:.....Nome: Matricola:

*Note: le soluzioni devono essere opportunamente commentate,
è vietato utilizzare appunti o libri.*

1) Descrivere il flusso di progettazione di un dispositivo digitale a partire da una sua descrizione comportamentale.

- Dare un esempio di descrizione comportamentale in VHDL.

2) Si consideri il circuito sequenziale che controlla il dispositivo di *airbag* di una automobile. Si basa su un accelerometro, che può essere descritto come un dispositivo elettromeccanico che trasforma il valore della decelerazione istantanea in un numero binario rappresentato su 8 bit. Se questo numero rimane superiore ad una *SOGLIA* per *DURATA* cicli di clock, il controllore fa esplodere l'*airbag*. Un sensore di impatto frontale obbliga l'*airbag* ad esplodere anche se sono trascorsi meno di *DURATA* cicli di clock, Il circuito ha i seguenti ingressi e uscite.

- INIT[1]: quando vale 1 indica che l'automobile ha superato una certa velocità e il controllore dell'*airbag* deve entrare in funzione. Se vale 0 il controllore si disabilita.
- DECEL[8]: valore della decelerazione istantanea misurata dall'accelerometro.
- SOGLIA[8]: numero intero assoluto che identifica la soglia oltre la quale la decelerazione viene definita pericolosa ed inizia il conteggio dei cicli di clock per sapere se far esplodere l'*airbag*.
- DURATA[20]: indica il numero di cicli di clock per i quali il valore di decelerazione deve essere superiore alla *SOGLIA* per decidere di far esplodere l'*airbag*.
- CRASH[1]: vale 1 se l'automobile ha avuto un impatto frontale.
- BUM[1]: quando posto a 1 fa esplodere l'*airbag*. Dopo questa esplosione, il circuito si pone in attesa di essere spento e riaccessso (se ancora integro).
- Il dispositivo deve essere realizzato come un controllore che pilota un data-path. Definire i segnali di ingresso e uscita del controllore e del datapath costruendone le *Entity* in VHDL e istanziando e collegando i due componenti in una architettura che rappresenta l'intero dispositivo.

-
- Descrivere il controllore in VHDL in modo che la sua sintesi produca un circuito con reset asincrono senza registri sulle uscite.

-
- 3) Descrivere lo schema a blocchi (basato su componenti di libreria) del datapath dell'esercizio precedente e applicare una tecnica di *design for testability* che ne permetta la completa collaudabilità.

- Definire indicativamente il numero di vettori di test necessari al collaudo di ogni blocco dello schema precedente e calcolare il numero totale di cicli di clock necessari al collaudo di tutto il datapath.

-
- Definire i legami esistenti tra difetti, guasti ed errori.

- Elencare le differenze e gli aspetti comuni che esistono tra il problema della generazione del test per circuiti combinatori e per circuiti sequenziali.