



Università di Verona
Dipartimento Scientifico e Tecnologico

Sistemi per la Progettazione Automatica: prova intermedia del 10/11/99

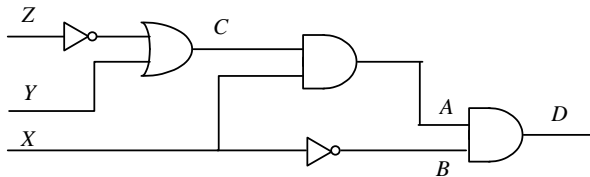
Cognome:.....Nome: Matricola:

Note: le soluzioni devono essere opportunamente commentate,
è vietato utilizzare appunti o libri.

1) Si consideri il problema dell'associazione con una libreria di celle (*mapping tecnologico*).

- Si definiscano gli obiettivi ed il significato della fase di mapping tecnologico.
- In quali casi è preferibile eseguire un mapping su FPGA rispetto ad uno su *standard cells* per la realizzazione di un dispositivo digitale?.

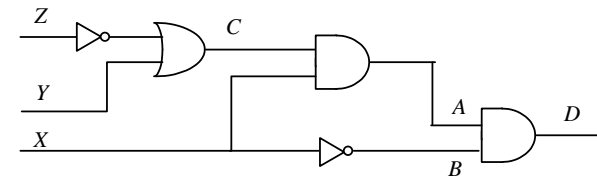
- Applicare l'algoritmo di *tree-mapping* al seguente circuito combinatorio ipotizzando che la libreria tecnologica sia composta da porte AND, OR, NAND, NOR a due e tre ingressi (si utilizzi il retro del foglio).



1) Si consideri il problema della minimizzazione di funzioni combinatorie.

- Definire ON-set e DC-set (mediante mintermini o prodotti) della funzione combinatoria $O=f(D, C, B, A)$ tale che O vale 1 se il valore assoluto del numero intero rappresentato dai quattro bit di ingresso (dal più significativo al meno significativo) è un multiplo del numero intero 3.

- Dato il seguente circuito combinatorio, calcolare gli *observability don't care set (ODS)* del nodo A mediante implicazioni.



1) Si consideri un circuito sequenziale che controlla la regolazione di orologio digitale. Il circuito si basa sui seguenti 4 segnali di ingresso e 2 di uscita:

- ORA: quando viene premuto il bottone corrispondente (il segnale passa da 1 a 0 o da 0 a 1) identifica che si vuole modificare l'ora dell'orologio o che si vuole interrompere la fase di modifica e confermare l'ora corrente.
- MINUTI: quando viene premuto il bottone corrispondente (il segnale passa da 1 a 0 o da 0 a 1) identifica che si vogliono modificare i minuti dell'orologio o che si vuole interrompere la fase di modifica e confermare il valore corrente dei minuti.
- PIÙ: quando passa da 0 a 1 indica che si vuole incrementare il valore dei minuti o delle ore.
- MENO: quando passa da 0 a 1 indica che si vuole decrementare il valore dei minuti o delle ore.
- SETORE[2]: quando viene posto a 01 per un ciclo di clock indica che le ore devono essere incrementate, quando viene posto a 10 devono essere decrementate e negli altri casi non devono essere modificate.
- SETMINUTI[2]: quando viene posto a 01 per un ciclo di clock indica che i minuti devono essere incrementati, quando viene posto a 10 devono essere decrementati e negli altri casi non devono essere modificati.

Si ipotizzi che il controllore parte da uno stato di conferma dell'orario corrente.

- Specificare gli insiemi I , O e S che rappresentano la FSM che descrive questo circuito, considerando gli ingressi e le uscite **nell'ordine** in cui sono stati dati:
 - $I = \{$
 - $O = \{$
 - $S = \{$
- Costruire il grafo degli stati (STG) corrispondente a questo circuito:

-
- Descrivere in VHDL la *design entity* corrispondente al controllore dell'orologio usando un processo per la funzione δ ed uno per la funzione λ .

- Nella descrizione VHDL realizzata al punto precedente, la sintesi automatica inserirebbe dei registri sulle uscite del controllore? Motivare la risposta.

2) Si considerino diversi stili di descrizione in VHDL.

- In quali fasi del progetto è meglio utilizzare uno stile di descrizione comportamentale?

- A quali costrutti paralleli corrispondono i costrutti sequenziali IF/THEN/ELSE e CASE/WHEN? Riportare degli esempi.

- Riscrivere il seguente processo basato su una *sensitivity-list* utilizzando prima il costrutto *WAIT/ON*, poi il costrutto *WAIT/UNTIL*. I tre processi devono essere equivalenti.

```
process SOMMA (A, B)
  variable D: bit := '0';
begin
  if (A = '0') then
    D := A + B;
  else
    D := A - B;
  end if;
  OUT <= D;
end process;
```