



Università di Verona
Dipartimento Scientifico e Tecnologico

Sistemi per la Progettazione Automatica: esame 08/09/00

Cognome:.....Nome: Matricola:

*Note: le soluzioni devono essere opportunamente commentate,
è vietato utilizzare appunti o libri.*

1) Descrivere le caratteristiche e i campi di applicazione delle più comuni tecniche di *design for testability*.

- Quali sono le ragioni che possono rendere un guasto ridondante in un circuito sequenziale?

2) Si consideri il circuito sequenziale che controlla il funzionamento di una bilancia digitale per pesare la frutta di un supermercato.

- Il circuito è composto da un controllore che pilota i dispositivi della bilancia utilizzando anche le informazioni calcolate da un datapath.
- Quando il sensore PESO passa da 0 a 1 vuol dire che un nuovo sacchetto è stato depositato sul piatto e deve essere pesato. In questo caso la bilancia mette a 1 l'uscita CONTA e la mantiene a 1 finché la linea UGUALE vale 0.
- La linea PESO_RAGGIUNTO viene assegnata dal datapath e rappresenta il valore del peso in grammi che viene incrementato finché un sensore, che assegna la linea UGUALE, non stabilisce che il valore del peso è uguale a quello del sacchetto appoggiato sulla bilancia.
- Appena il peso è stato raggiunto, il controllore mette a 1 l'uscita STAMPA e la mantiene a 1 finché il piatto della bilancia non viene scaricato.
- La bilancia include un timer che mette sulla linea di uscita SCADUTO il valore 1 dopo cinque secondi che la linea INIZIA è stata posta a 1. Ogni volta che la bilancia non viene usata per cinque secondi si pone nello stato di attesa di un nuovo sacchetto da pesare.
- Il timer è realizzato nel datapath con un contatore assumendo che la frequenza di funzionamento del circuito sia 10Mhz.
- Definire la *Entity* in VHDL del circuito completo, del controllore e del datapath, considerando che sono circuiti sequenziali sincroni.

-
- Descrivere l'*architecture* del circuito in stile strutturale come l'instaziamento dei due componenti controllore e datapath.

-
- 3) Descrivere in VHDL il controllore dell'esercizio precedente come più processi interagenti e dire se, a fronte della loro sintesi automatica, i segnali che vengono asseriti nel processo diventeranno elementi di memoria o collegamenti.

-
- 4) Definire il livelli a cui possono essere utilizzate tecniche di verifica formale e i problemi che permettono di risolvere.